



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0023351
Application Number

출원 년 월 일 : 2003년 04월 14일
Date of Application APR 14, 2003

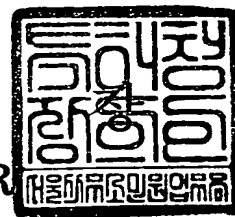
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 11 월 14 일

특 허 청

COMMISSIONER



**【서지사항】**

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.04.14
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 커패시터 및 그 제조방법
【발명의 영문명칭】	Capacitor of semiconductor device and method for fabricating the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	2003-003435-0
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	2003-003437-4
【발명자】	
【성명의 국문표기】	황기현
【성명의 영문표기】	HWANG, Ki Hyun
【주민등록번호】	670618-1100818
【우편번호】	463-909
【주소】	경기도 성남시 분당구 정자동(한솔마을) LG아파트 202동 604호
【국적】	KR
【발명자】	
【성명의 국문표기】	오정환
【성명의 영문표기】	OH, Jung Hwan
【주민등록번호】	731205-1148219



【우편번호】	442-741
【주소】	경기도 수원시 팔달구 영통동 황골마을쌍용아파트 250동 1406호
【국적】	KR
【발명자】	
【성명의 국문표기】	김효정
【성명의 영문표기】	KIM,Hyo Jung
【주민등록번호】	780517-2094914
【우편번호】	613-801
【주소】	부산광역시 수영구 광안1동 103-3 6통 5반 건풍맨션 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	남석우
【성명의 영문표기】	NAM,Seok Woo
【주민등록번호】	660304-1006518
【우편번호】	449-846
【주소】	경기도 용인시 수지읍 풍덕천리 삼성5차아파트 520동 204호
【국적】	KR
【발명자】	
【성명의 국문표기】	신원식
【성명의 영문표기】	SHIN,Won Sik
【주민등록번호】	740624-1448917
【우편번호】	137-888
【주소】	서울특별시 서초구 양재1동 14-10 202호
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 이영필 (인) 대리인 정상빈 (인)
【수수료】	
【기본출원료】	20 면 29,000 원
【가산출원료】	11 면 11,000 원



1020030023351

출력 일자: 2003/11/20

【우선권주장료】	0	건	0	원
【심사청구료】	35	항	1,229,000	원
【합계】	1,269,000			원
【첨부서류】	1.	요약서·명세서(도면)_1통		

**【요약서】****【요약】**

본 발명에 따른 반도체 소자의 커패시터는, 실린더형 커패시터 하부전극, 유전막, 및 상부전극으로 구성된 것으로서, 상부전극이 금속막과 그 위에 적층된 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 것이 특징이다. p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 450°C 이하의 저온에서 활성화된 상태로 증착되거나, 또는 500°C 이하에서 활성화가 가능하기 때문에 현재 600°C 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하여 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.

【대표도】

도 7

【명세서】

【발명의 명칭】

반도체 소자의 커패시터 및 그 제조방법{Capacitor of semiconductor device and method for fabricating the same}

【도면의 간단한 설명】

도 1은 종래 MIS(Metal-Insulator-Semiconductor) 커패시터에서 n-형 도프트 폴리실리콘막의 활성화 열처리로 인해 누설전류 특성이 열화되는 문제를 보여주는 그래프이다.

도 2 내지 도 7은 본 발명의 제 1 실시예에 따른 MIS 커패시터 및 그 제조방법을 설명하기 위한 단면도들이다.

도 8은 본 발명의 제 2 실시예에 따른 MIM(Metal-Insulator-Metal) 커패시터 및 그 제조방법을 설명하기 위한 단면도이다.

도 9는 본 발명의 제 3 실시예에 따른 MIM 커패시터 및 그 제조방법을 설명하기 위한 단면도이다.

도 10은 본 발명에 따라 증착한 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에 대하여 활성화 열처리를 실시할 경우에 저항 변화가 어떻게 되는지를 도시한 그래프이다.

도 11은 본 발명에 따라 증착한 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에 대하여 530℃에서 30분 동안 열처리를 진행한 후의 SEM 사진이다.

도면의 주요 부분에 대한 부호의 설명

1...반도체 기판 40...도프트 폴리실리콘막

40a, 40a'...하부전극 50, 50'...유전막

52...TiN막 54...p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막

60, 60'...상부전극 90...MIS 커패시터

90', 90"...MIM 커패시터

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<13> 본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 고집적 소자에 응용 가능한 디램(DRAM) 셀 커패시터 및 그 제조방법에 관한 것이다.

<14> 반도체 소자의 집적도가 증가함에 따라, 디램과 같은 반도체 소자의 경우 셀 크기가 감소하게 되고 셀 커패시터 하부전극의 유효면적도 감소하게 된다. 그러나 반도체 소자의 안정적인 동작을 위해서는 일정량 이상의 셀 커패시턴스를 확보할 필요가 있다. 좁은 면적에서 높은 셀 커패시턴스를 확보하기 위해서는, 기존에 커패시터 유전막으로 사용하던 산화막/질화막/산화막보다 수배 내지 수백배 큰 유전율을 갖는 물질, 예컨대 Al_2O_3 , $\text{Al}_2\text{O}_3/\text{HfO}_2$ 등으로 된 고 유전막을 사용할 필요가 있다.

<15> 그런데, 종래 커패시터 상/하부전극으로서 사용하는 도프트 폴리실리콘 전극



은 고유전막과 반응하여 커패시터의 전기적 특성을 열화시킨다. 따라서, 고유전막을 사용하는 커패시터는 상부전극에만, 또는 상부전극과 하부전극 모두에 폴리실리콘막보다 반응성이 떨어지는 금속막을 이용하는 것이 바람직하다. 상/하부전극을 모두 도프트 폴리실리콘 전극으로 사용하는 SIS(Semiconductor-Insulator-Semiconductor) 커패시터에 대비해 이들을 각각 MIS(Metal-Insulator-Semiconductor) 커패시터, MIM(Metal-Insulator-Metal) 커패시터라고 한다. 여기서 "금속막"은 금속 물질 자체로 이루어진 막뿐만 아니라 그것의 전도성 산화물 혹은 전도성 질화물로 이루어진 막까지도 포함하는 의미로 사용된다.

<16> 그러나, 금속막으로 이루어진 상부전극의 경우에는 습식각(wet etch), 건식각(dry etch), 응력(stress) 등의 집적 공정 상의 문제가 발생하고, 비저항이 작기 때문에 신호지연을 위한 저항층(resistor layer) 역할도 수행할 수 없는 문제가 있다. 이 때문에, 종래에는 금속막 위에 도프트 폴리실리콘막을 적층한 이중막을 상부전극으로 이용하고 있다. 그러나 도프트 폴리실리콘막을 적용할 경우 활성화 열처리 온도를 600℃ 이하로 낮추는 것이 어려우므로, 금속막만을 사용하는 경우에 비해 누설전류 특성이 열화되는 문제가 있다.

<17> 도 1은 종래 MIS 커패시터에서 n-형 도프트 폴리실리콘막의 활성화 열처리로 인해 누설전류 특성이 어떻게 열화되는지를 보여준다. 도 1에서 (a)는 상부전극으로서 TiN막만을 사용하여 열처리할 필요없는 MIS 커패시터의 누설전류 특성을 나타낸다. (b)는 TiN막과 n-형 도프트 폴리실리콘막을 적층한 이중막을 상부전극으로 사용하는 MIS 커패시터의 누설전류 특성을 나타낸다. (b)의 경우, n-형 도프트 폴리실리콘막은 530℃에서 LPCVD(Low Pressure Chemical Vapor Deposition) 방법으로 증착하고 N₂ 분위기의 퍼니스(furnace)에서 600℃, 30분의 열처리를 실시한 것이다. 도 1의 (a)와 (b)로부터, 활성화 열처리를 실시한 (b)의 경우에 누설전류가 크게 증가하며 Tox도 더 두꺼운 것을 볼 수 있다. 따라서, 현재 사용하고 있는 n-형 도프



트 폴리실리콘막의 열처리 조건(600℃, 30분 혹은 650℃, 2분의 퍼니스 공정)을 열적 부담 (thermal budget)이 적은 공정으로 개발할 필요가 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 본 발명이 이루고자 하는 기술적 과제는 저온 공정이 가능해 누설전류 특성이 향상된 반도체 소자의 커패시터를 제공하는 것이다.

<19> 본 발명이 이루고자 하는 다른 기술적 과제는 저온에서 반도체 소자의 커패시터를 제조하는 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<20> 상기 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자의 커패시터는, 반도체 기판 상에 형성된 실린더형 커패시터 하부전극, 상기 하부전극 표면 상에 형성된 유전막, 및 상기 유전막 상에 형성된 상부전극을 포함하고, 상기 상부전극은 상기 유전막에 접하는 금속막과 그 위에 적층된 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 것을 특징으로 한다.

<21> 본 발명에 따른 다른 반도체 소자의 커패시터는, 반도체 기판 상에 형성되고 금속막으로 이루어진 실린더형 커패시터 하부전극, 상기 하부전극 표면 상에 형성된 유전막, 및 상기 유전막 상에 형성된 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 상부전극을 포함한다.

<22> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 반도체 소자의 커패시터 제조 방법에서는, 반도체 기판 상에 실린더형 커패시터 하부전극을 형성한 다음, 상기 하부전극 표면 상에 유전막을 형성한다. 상기 유전막 상에 금속막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 순차 적층하여 금속막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 상부전극을 형성한다.



- <23> 상기 다른 기술적 과제를 달성하기 위하여 본 발명에 따른 다른 반도체 소자의 커패시터 제조방법에서는, 반도체 기판 상에 금속막으로 이루어진 실린더형 커패시터 하부전극을 형성하고 나서, 상기 하부전극 표면 상에 유전막을 형성한다. 상기 유전막 상에 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 상부전극을 형성한다.
- <24> 이와 같이, 본 발명은 커패시터의 상부전극 중에 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막이 포함된다. p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 450°C 이하의 저온에서 활성화된 상태로 증착이 되거나, 또는 500°C 이하에서 활성화가 가능하다. 따라서, 현재 상부전극에 도프트 폴리실리콘막을 사용하기 때문에 600°C 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하면, 공정 온도를 500°C 이하로 대폭 감소시킬 수 있다. 따라서, 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.
- <25> 이하, 첨부 도면들을 참조하면서 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나 본 발명의 실시예들은 여러 가지 다른 형태들로 변형될 수 있으며, 본 발명의 범위가 아래에서 상술하는 실시예들로 한정되는 것으로 해석되어서는 안된다. 본 발명의 실시예들은 당업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되는 것이다. 따라서, 도면에서의 요소의 형상 등은 보다 명확한 설명을 강조하기 위해서 과장되어진 것이며, 도면 상에서 동일한 부호로 표시된 요소는 동일한 요소를 의미한다. 또한, 어떤 층이 다른 층 또는 반도체 기판의 "상"에 있다고 기재되는 경우에, 어떤 층은 상기 다른 층 또는 반도체 기판에 직접 접촉하여 존재할 수 있고, 또는, 그 사이에 제 3의 층이 개재되어질 수 있다.

<26> 제 1 실시예



- <27> 도 2 내지 도 7은 본 발명의 제 1 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도들이다. 제 1 실시예에서 설명하는 커패시터는 하부전극이 도프트 폴리실리콘막이고 상부전극이 TiN막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 MIS 커패시터이다.
- <28> 먼저 도 2를 참조하면, 반도체 기판(1) 상에 하부 절연막(10)을 형성한 다음, 하부 절연막(10)을 관통하여 반도체 기판(1)의 불순물 영역(5)과 접하는 복수개의 콘택플러그(15)를 형성한다. 콘택플러그(15) 및 하부 절연막(10) 상에 예를 들어 실리콘 질화막으로 된 식각정지막(20)을 먼저 형성한 다음, BPSG(Boron Phosphorus Silicate Glass), PSG(Phosphorus Silicate Glass), PE(Plasma Enhanced)-TEOS(Tetra Ethyl Ortho Silicate) 또는 HDP(High Density Plasma)-산화물 등을 증착하여 몰드산화막(30)을 형성한다.
- <29> 다음으로 도 3에서와 같이, 식각정지막(20)의 상면이 노출될 때까지 몰드산화막(30)을 식각하여 몰드산화막 패턴(30a)을 형성한다. 이 때, 식각정지막(20)은 하부 절연막(10)이 식각되지 않게 보호한다. 이어서, 노출된 식각정지막(20)만 제거할 정도로 식각 공정을 더 진행하여 콘택플러그(15) 및 그 주변의 하부 절연막(10)의 상면을 노출시키는 홀(35)을 형성한다. 몰드산화막 패턴(30a)의 하부에는 식각정지막 패턴(20a)이 잔류하게 된다.
- <30> 도 4를 참조하여, 홀(35)을 완전히 매립하지 않는 정도 두께로 도프트 폴리실리콘막(40)을 형성한다. 이러한 도프트 폴리실리콘막(40)은 커패시터의 하부전극이 될 막으로서, 단차도포성이 우수한 CVD 또는 ALD(Atomic Layer Deposition)에 의하여 형성할 수 있다. 예컨대, 통상의 LPCVD 방법으로 폴리실리콘을 증착한 다음, 비저항을 확보하기 위해 그 위에 PH_3 도핑을 실시하여 n-형 도프트 폴리실리콘이 되게 한다. 이러한 도핑 단계에 사용되는 불순물 도핑 농도는 당업자에 의해 사용되는 전형적인 값 내에서 다양하게 될 수 있다.



- <31> 계속하여 도 5를 참조하여, 도프트 폴리실리콘막(40) 위로 캡 필 특성이 좋은 USG(Undoped Silicate Glass)막과 같은 캡핑막(45)을 증착하여 홀(35) 내부를 매립한다. 다음으로, 몰드산화막 패턴(30a)의 상면이 드러날 때까지 몰드산화막 패턴(30a) 위에 있는 캡핑막(45)과 도프트 폴리실리콘막(40)을 에치백 또는 CMP(Chemical Mechanical Polishing)로 제거한다(도면에서 점선 위 부분을 제거하는 것임). 이렇게 함으로써 각각 분리된 실린더형 커패시터 하부전극(40a)이 형성된다.
- <32> 다음으로 도 6에 도시한 것과 같이, 캡핑막(45)과 몰드산화막 패턴(30a)을 습식 식각으로 제거하여 하부전극(40a) 표면이 드러나게 한 다음, 그 표면 상에 유전막(50)을 형성한다. 필요에 따라서는, 유전막(50)을 형성하기 전에 하부전극(40a) 표면에 대하여 NH_3 가스를 이용한 플라즈마 질화처리(plasma nitridation) 또는 열 질화처리(thermal nitridation)를 실시하기도 한다. 이러한 처리에 의해 하부전극(40a) 표면에 10-20Å 정도의 실리콘 질화막이 형성될 수 있으며, 이는 하부전극(40a)과 유전막(50) 사이에 일어날 수도 있는 반응을 방지한다.
- <33> 유전막(50)으로서는 예를 들어, Al_2O_3 막 또는 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 복합막을 형성할 수 있다. 이와 같은 유전막(50)을 형성하기 위해서는, 단차도포성이 우수한 CVD 또는 ALD를 이용할 수 있다. 특히 ALD의 경우에는 증착 온도를 300°C 가까이로 낮게 유지할 수 있어 공정 온도 측면에서 유리하다. 유전막(50)의 전기적 특성이 개선되도록, 유전막(50) 증착 후 별도 처리하는 단계를 더 수행할 수도 있다. 예를 들어, 유전막(50)이 형성된 결과물을 오존(O_3) 처리, 산소나 질소가 포함된 가스 분위기에서 플라즈마 처리 또는 산소나 질소가 포함된 가스 분위기에서 열처리할 수 있다.
- <34> 다음으로 도 7에 도시한 것과 같이, 유전막(50) 상에 상부전극(60)을 형성한다. 이 때, 상부전극(60)은 TiN막(52)과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막(54)을 순차 적층하여 형성한다.

- <35> 먼저, TiN막(52)은 CVD나 ALD, 혹은 MOCVD(Metal Organic CVD)에 의하여 형성할 수 있다. TiN막(52) 대신에 WN, TaN, Cu, Al 또는 W막을 형성하여도 된다. 그리고, Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속, 이러한 귀금속의 산화막으로 형성하여도 되며, TiN/W, TiN/TaN, WN/W 등의 형태로 된 금속 다중층으로 형성하여도 된다. 이들 막의 증착 온도는 500℃ 미만인 경우에 더욱 효과적이다.
- <36> 다음으로, TiN막(52) 위에 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막(54)을 형성하는데, 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착하면서 인시튜로 B를 도핑하여 형성한다. B 도핑 소스로는 BCl_3 또는 B_2H_6 를 이용할 수 있다. 이를 위해 통상의 LPCVD 방법을 구현할 수 있는 배치(batch) 방식의 퍼니스 타입 설비를 이용할 수 있다. 물론 인시튜 방식 대신에, 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막 증착 후 B를 도핑하는 두 단계(two step)로 형성해도 된다.
- <37> 우선 $\text{Si}_{1-x}\text{Ge}_x$ 막의 형성시, SiH_4 , Si_2H_6 , SiH_2Cl_2 등의 사일렌계 가스 및 GeH_4 , GeF_4 등의 가스를 소오스 가스로 이용하여, 500℃ 이하의 온도, 예컨대 400-500℃ 범위의 온도, 바람직하게는 425℃ 부근에서 형성한다. 처음에 비정질 상태로 형성한 후 활성화 열처리시 다결정화하거나 처음부터 다결정 및 활성화 상태로 형성해도 된다. 그런데 결정질인 TiN막(52) 상에 증착하는 것이므로, $\text{Si}_{1-x}\text{Ge}_x$ 막의 증착 온도가 아주 낮지 않은 이상은 $\text{Si}_{1-x}\text{Ge}_x$ 막도 결정질로 성장되기 쉽다. 본 발명자의 실험 결과 425℃ 부근의 온도, 이를테면 420℃에서도 $\text{Si}_{1-x}\text{Ge}_x$ 막이 결정질로 자라 후속의 열처리가 필요가 없음을 알 수 있었다.
- <38> 한편, Si와 Ge의 조성비(즉, x)는 가스 유량비로 조정할 수 있다. 이 조성비는 특히 한정되지는 않지만 적어도 공핍층이 형성되지 않는 일함수값이 되도록 불순물 농도와 함께 설계하는 것이 바람직하다. 예를 들면 $0.1 \leq x \leq 0.9$ 가 되게 한다. 더욱 바람직하게는 $0.2 \leq x \leq 0.6$

이 되게, 가장 바람직하게는 $x=0.5$ 가 되게 조정한다. 이러한 조성비는 비저항, 증착 속도, 표면 모포로지, 증착 온도 등의 관점에서 설계하는 것이 바람직하다.

<39> $\text{Si}_{1-x}\text{Ge}_x$ 막에 n형 불순물인 B를 도핑하는 것은 비저항을 확보하기 위해서인데, 도핑 농도는 예를 들면 $1 \times 10^{20}/\text{cm}^3$ 이상이 되게 한다. 증착 온도가 400°C 이하로 낮으면 이후 어닐 공정을 거쳐 도핑 불순물을 활성화시킨다. 그러나, 열처리 온도가 종래와 달리 500°C 를 넘지 않아도 된다. 이로써, 하부전극(40a), 유전막(50) 및 상부전극(60)을 포함하는 커패시터(90)가 500°C 이하의 저온에서 제조된다.

<40> $\text{Si}_{1-x}\text{Ge}_x$ 의 경우 녹는점(melting point)이 실리콘보다 낮기 때문에 증착, 결정화, 입성장, 불순물 활성화 등의 물리적 현상도 실리콘보다 낮은 온도에서 일어난다. 본 발명에서는 이러한 특성을 이용하여 기존의 폴리실리콘 대신에 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 를 상부전극에 적용함으로써 공정 온도를 500°C 이하로 낮출 수 있다. 원하는 정도의 비저항을 확보하면서도 MIS 커패시터의 누설전류 특성을 크게 개선할 수 있다.

<41> 제 2 실시예

<42> 도 8은 본 발명의 제 2 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도이다. 도 8에서 제 1 실시예에서와 동일한 요소에 대해서는 도 1 내지 7에서와 동일한 참조부호를 부여하고 중복되는 설명은 생략한다. 제 2 실시예는 본 발명의 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 상부전극이 MIM 커패시터에도 적용될 수 있음을 설명한다.

<43> 도 8에 도시된 커패시터(90')는 하부전극(40a')이 금속막이고 상부전극(60)이 TiN막(52)과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막(54)으로 이루어진다. 하부전극(40a')은 제1 실시예에서와 같이 몰드산화막 패턴 위에 CVD나 ALD, 또는 MOCVD로 TiN막을 증착한 후 평탄화시켜 형성할 수

있다. 하부전극(40a')에 사용될 수 있는 금속막으로는 TiN막 이외에도 WN, TaN, Cu, W, Al 등의 금속, Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속과 이러한 귀금속의 산화물, 또는 TiN/W, TiN/TaN, WN/W 등의 형태로 된 금속 다중층 등이 있다. 하부전극(40a')으로서 이러한 금속막을 사용하면 유전막(50')으로서 Al_2O_3 막, Al_2O_3/HfO_2 복합막 이외에도, HfO_2/Al_2O_3 막을 사용할 수 있게 된다.

<44> 이와 같이 구성되는 MIM 커패시터(90')의 경우에도, 제 1 실시예에서와 마찬가지로, 기존의 폴리실리콘 대신에 p-형 도프트 폴리 $Si_{1-x}Ge_x$ 막(54)을 상부전극에 적용함으로써 공정 온도를 $500^{\circ}C$ 이하로 낮출 수 있는 장점이 있다.

<45> 제 3 실시예

<46> 도 9는 본 발명의 제 3 실시예에 따른 커패시터 및 그 제조방법을 설명하기 위한 단면도이다. 도 9에서 제 1 및 제 2 실시예에서와 동일한 요소에 대해서는 도 1 내지 8에서와 동일한 참조 부호를 부여하고 중복되는 설명은 생략한다.

<47> 도 9에서와 같이, 상부전극(60')은 p-형 도프트 폴리 $Si_{1-x}Ge_x$ 막의 단일막으로만 이루어진다. 여기서도, p-형 도프트 폴리 $Si_{1-x}Ge_x$ 막은 x의 범위가 $0.1 \leq x \leq 0.9$ 이거나, 보다 바람직하게는 $0.2 \leq x \leq 0.6$ 이다.

<48> 이 때, 커패시터(90")의 하부전극(40a')으로는 금속막을 사용하는 것이 바람직하다. 제 2 실시예에서 설명한 것과 같이, 금속막은 TiN 이외에도 WN, TaN, Cu, W, Al, 또는 Pt, Ir, Ru, Rh, Os, Pd 등의 귀금속과 이러한 귀금속의 산화물, 또는 TiN/W, TiN/TaN, WN/W 등의 형태로 된 금속 다중층 등이 가능하다.



<49> 본 발명에 관한 보다 상세한 내용은 다음의 구체적인 실험예들을 통하여 설명하며, 여기에 기재되지 않은 내용은 이 기술 분야에서 숙련된 자이면 충분히 기술적으로 유추할 수 있는 것이므로 설명을 생략한다. 또한, 다음 실험예들이 본 발명을 제한하려는 것은 아니다.

<50> 실험예 1

<51> 본 발명 커패시터의 상부전극으로 사용하기 위하여 인시튜 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 형성하였다. 유전막 위에 약 1 Torr 이하의 압력과 425°C 의 온도에서 퍼니스 타입 설비를 이용한 LPCVD 방법으로 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착하면서, 인시튜 방식으로 B 도핑을 실시하여 형성하였다. 이 때, 소오스 가스로는 SiH_4 와 GeH_4 를 사용하였고 B 도핑 소스로는 BCl_3 를 사용하였으며, 도핑 농도는 $1 \times 10^{21}/\text{cm}^3$ 정도로 하였다. 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막에서 x값이 0.2와 0.5가 되는 두 경우 즉, $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 의 조성을 얻게 실험하였다. 본 발명과 비교하기 위해서 종래의 n-형 도프트폴리 실리콘막을 530°C 에서 증착하였다. 도핑 소스로는 PH_3 를 이용하였고 도핑 농도는 $3 \times 10^{20}/\text{cm}^3$ 정도로 하였다. 증착된 인시튜 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막과 n-형 도프트폴리 실리콘막에 대해서는 활성화 열처리를 별도로 진행하지 않았다. 이들 막에 대한 실험 조건과 평가 데이터를 다음의 표 1에 정리하였다.

<52> 【표 1】

	n-형 도프트폴리 실리콘막	인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 막	인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 막
증착 설비	LPCVD	인시튜	인시튜
증착 온도	530	425	425
최대 면저항	-	1955	237.8
최소 면저항	-	981	110.1
면저항	-	1547	128.0

<53> 종래 n-형 도프트폴리 실리콘막의 경우에는 본 발명에 따른 인시튜 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막에 비하여 105°C 나 높은 온도에서 증착하였음에도 불구하고 면저항이 측정 한계를



넘어설 정도로 높았다. 그에 비하여 본 발명에 따른 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 막과 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 막은 비교적 작은 면저항을 보였다. 특히 Ge의 양이 상대적으로 많은 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 막의 경우에는 425°C 의 저온에서 증착하고 별도의 열처리를 하지 않았음에도 면저항이 $128\Omega/\text{square}$ 정도가 되어, 커패시터 상부전극에 이용하기 적당한 것을 알 수 있다.

<54> 실험예 2

<55> 본 발명 커패시터의 상부전극으로 사용하기 위하여, 유전막 위에 TiN막을 증착한 후 그 위에 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착하면서 인시튜로 B 도핑을 실시하여 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 형성하였다. 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막의 증착은 약 1 Torr 이하의 압력과 425°C 의 온도에서 퍼니스 타입 설비를 이용한 LPCVD 방법에 의하였고, 나머지 증착 조건도 실험예 1에서와 동일하게 하였다. 다만 인시튜 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막이 유전막이 아닌 TiN막 위에 형성되는 점을 달리하였다. 본 발명과 비교하기 위해서 종래의 n-형 도프트폴리 실리콘막도 TiN막 위에 530°C 에서 증착하였다. 본 발명에 따른 인시튜 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막에 대해서는 활성화 열처리를 진행하지 않았고, 종래의 n-형 도프트폴리 실리콘막에 대해서는 여러 조건으로 활성화 열처리를 진행하였다. 이들 막에 대한 실험 조건과 평가 데이터를 다음의 표 2에 정리하였다.

<56>

【표 2】

	TiN막/n-형 도프트폴리 실리콘막				TiN막/인시튜 p-형 도프트폴리	TiN막/인시튜 p-형 도프트폴리
증착 설비	LPCVD				Si _{0.8} Ge _{0.2} MB	Si _{0.5} Ge _{0.5} MB
증착 온도(℃)	퍼니스 타입 설비 530				퍼니스 타입 설 425	퍼니스 타입 설 425
증착 속도	10				19	27
증착 시간	180				94	66
활성화 열처리	×	550℃ 30	580℃ 30	600℃ 10	×	×
최대 면저항	100.5	99.6	74.2	32.8	137.9	61.9
최소 면저항	79.8	80.2	71	31.1	112.7	57.0
면저항	89.5	87.3	72.4	31.9	128.0	59.8

<57> 상기 표 2에서와 같이, Si_{0.8}Ge_{0.2}인 경우 증착 속도는 19Å/분으로 평가되었고

Si_{0.5}Ge_{0.5}인 경우 증착 속도는 27Å/분으로 평가되었다. 따라서, 1800Å 정도 두께의 막을 얻기 위하여, Si_{0.8}Ge_{0.2}인 경우 증착 시간은 94분 정도, Si_{0.5}Ge_{0.5}인 경우 증착 시간은 66분 정도가 필요하였다. 종래 도프트폴리 실리콘의 경우에는 증착 속도가 10Å/분 정도이어서, 비슷한 두께의 막을 얻으려면 180분 정도가 필요하였다. 따라서, 본 발명에 따라 p-형 도프트 폴리 Si_{1-x}Ge_x막을 상부전극에 사용한다면 공정 시간이 대폭 감소될 것으로 기대된다.

<58> 또한 면저항 평가 결과로부터, 본 발명의 Si_{0.5}Ge_{0.5}는 별도의 활성화 열처리를 실시하지 않았음에도 종래 도프트폴리 실리콘을 580℃에서 30분 열처리 또는 600℃에서 10분 열처리하여 얻을 수 있는 결과와 비슷한 결과를 얻을 수 있음을 알 수 있다. 이와 같이, 본 발명의 의할 경우에는 증착 온도가 425℃만 되어도 증착과 동시에 활성화가 되는 것으로 기대할 수 있으므로, 종래에 비하여 105℃ 정도 낮은 공정 온도에서 진행할 수 있다. 따라서, 본 발명에 의하면 저온에서 짧은 시간 안에 증착할 수 있게 됨에 따라 커패시터에의 열적 부담이 감소된다.

<59> 실험예 3

<60> 도 10은 상기와 같이 증착한 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에 대하여 활성화 열처리를 실시할 경우에 저항 변화가 어떻게 되는지를 도시한 그래프이다. 도 10에서 가로축은 활성화 열처리 여부를 나타내고, 세로축은 면저항을 나타낸다. 먼저 ①은 바로 증착된 상태이고, ②는 530°C 에서 30분 동안 열처리를 진행한 경우이다. 도 10에서 볼 수 있는 것과 같이, Ge 양이 상대적으로 작은 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 에서는 바로 증착된 상태의 면저항이 $120\Omega/\text{square}$ 정도이고, Ge 양이 상대적으로 많은 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에서는 바로 증착된 상태의 면저항이 $60\Omega/\text{square}$ 정도이다. 따라서, 어느 정도까지는 Ge의 양이 많을수록 면저항 면에서 유리한 것으로 평가되었다.

<61> 그리고, 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 에서는 활성화 열처리 후에 면저항이 $100\Omega/\text{square}$ 정도로 감소되는데, 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에서는 면저항이 감소하기는 하나 그 변화량이 미미한 것을 볼 수 있다. 따라서, 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 는 425°C 에서 바로 증착한 상태의 것이라도 활성화 열처리한 것과 비슷한 면저항 특성을 가지는 것을 기대할 수 있고, 이는 증착과 동시에 저온에서 활성화가 이루어진 것이라고 평가할 수 있다.

<62> 한편 도 11은 상기와 같이 425°C 에서 증착한 후 530°C 에서 30분 동안 열처리를 진행한 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 에 대한 SEM 사진이다. 도 11에서 (a)와 (b)는 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 의 표면과 단면을 각각 나타낸다. 그리고, (c)와 (d)는 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 의 표면과 단면을 각각 나타낸다. 도 11에서 볼 수 있는 바와 같이, 인시튜 p-형 도프트 폴리 $\text{Si}_{0.8}\text{Ge}_{0.2}$ 와 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 모두 표면 모포러지가 비교적 양호하고, 특히 인시튜 p-형 도프트 폴리 $\text{Si}_{0.5}\text{Ge}_{0.5}$ 의 경우에 표면 모포러지가 더 고르고 양호하다.



<63> 이상, 본 발명을 바람직한 실시예들을 들어 상세하게 설명하였으나, 본 발명은 상기 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러 가지 많은 변형이 가능함은 명백하다.

【발명의 효과】

<64> 상술한 본 발명에 의하면, TiN막과 같은 금속막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 된 상부전극을 형성하거나, 금속막으로 이루어진 하부전극과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 상부전극을 형성하여 커패시터를 제조한다. p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 500°C 이하의 온도, 예컨대 425°C 부근의 저온에서 활성화된 상태로 증착이 되거나, 또는 500°C 이하에서 활성화가 가능하다. 따라서, 현재 600°C 이상의 고온에서 진행되어야 하는 커패시터 공정과 비교하여 공정 온도를 대폭 낮출 수 있기 때문에, 저항 증가 없이 유전막 특성의 열화를 방지할 수 있고 커패시터의 누설전류 특성 열화를 현저하게 개선할 수 있다.

**【특허청구범위】****【청구항 1】**

반도체 기판 상에 형성된 실린더형 커패시터 하부전극;

상기 하부전극 표면 상에 형성된 유전막; 및

상기 유전막 상에 형성된 상부전극을 포함하고,

상기 상부전극은 상기 유전막에 접하는 금속막과 그 위에 적층된 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 2】

제 1 항에 있어서, 상기 하부전극은 도프트 폴리실리콘막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 3】

제 2 항에 있어서, 상기 유전막은 Al_2O_3 막 또는 $\text{Al}_2\text{O}_3/\text{HfO}_2$ 복합막인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 4】

제 1 항에 있어서, 상기 하부전극은 금속막으로 이루어진 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 5】

제 4 항에 있어서, 상기 유전막은 Al_2O_3 막, $\text{Al}_2\text{O}_3/\text{HfO}_2$ 복합막 또는 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 막인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 6】

제 1 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 B로 도핑된 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 7】

제 6 항에 있어서, 상기 B의 도핑 농도는 $1 \times 10^{20}/\text{cm}^3$ 이상인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 8】

제 1 항에 있어서, $0.1 \leq x \leq 0.9$ 인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 9】

제 1 항에 있어서, $0.2 \leq x \leq 0.6$ 인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 10】

제 1 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 11】

제 1 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 12】

반도체 기판 상에 형성되고 금속막으로 이루어진 실린더형 커패시터 하부전극;

상기 하부전극 표면 상에 형성된 유전막; 및

상기 유전막 상에 형성된 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 상부전극을 포함하는 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 13】

제 12 항에 있어서, 상기 유전막은 Al_2O_3 막, $\text{Al}_2\text{O}_3/\text{HfO}_2$ 복합막 또는 $\text{HfO}_2/\text{Al}_2\text{O}_3$ 막인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 14】

제 12 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 B로 도핑된 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 15】

제 14 항에 있어서, 상기 B의 도핑 농도는 $1 \times 10^{20}/\text{cm}^3$ 이상인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 16】

제 12 항에 있어서, $0.1 \leq x \leq 0.9$ 인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 17】

제 12 항에 있어서, $0.2 \leq x \leq 0.6$ 인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 18】

제 12 항에 있어서, 상기 금속막은 TiN인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 19】

제 12 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나인 것을 특징으로 하는 반도체 소자의 커패시터.

【청구항 20】

반도체 기판 상에 실린더형 커패시터 하부전극을 형성하는 단계;

상기 하부전극 표면 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 금속막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 순차 적층하여 금속막과 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막으로 이루어진 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 21】

제 20 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 B로 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 22】

제 21 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착하면서 인시튜(in-situ)로 B를 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 23】

제 20 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 증착과 동시에 활성화되게 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 24】

제 23 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착할 때의 온도는 400-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 25】

제 20 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 증착 이후에 활성화 열처리하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 26】

제 25 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 활성화 열처리할 때의 온도는 450-500℃인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 27】

제 20 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 28】

반도체 기판 상에 금속막으로 이루어진 실린더형 커패시터 하부전극을 형성하는 단계;

상기 하부전극 표면 상에 유전막을 형성하는 단계; 및

상기 유전막 상에 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 상부전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 29】

제 28 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 B로 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 30】

제 28 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착하면서 인시튜로 B를 도핑하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 31】

제 28 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 증착과 동시에 활성화되게 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 32】

제 31 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 증착할 때의 온도는 $400\sim 500^\circ\text{C}$ 인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 33】

제 28 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막은 증착 이후에 활성화 열처리하여 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【청구항 34】

제 33 항에 있어서, 상기 p-형 도프트 폴리 $\text{Si}_{1-x}\text{Ge}_x$ 막을 활성화 열처리할 때의 온도는 $450\sim 500^\circ\text{C}$ 인 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

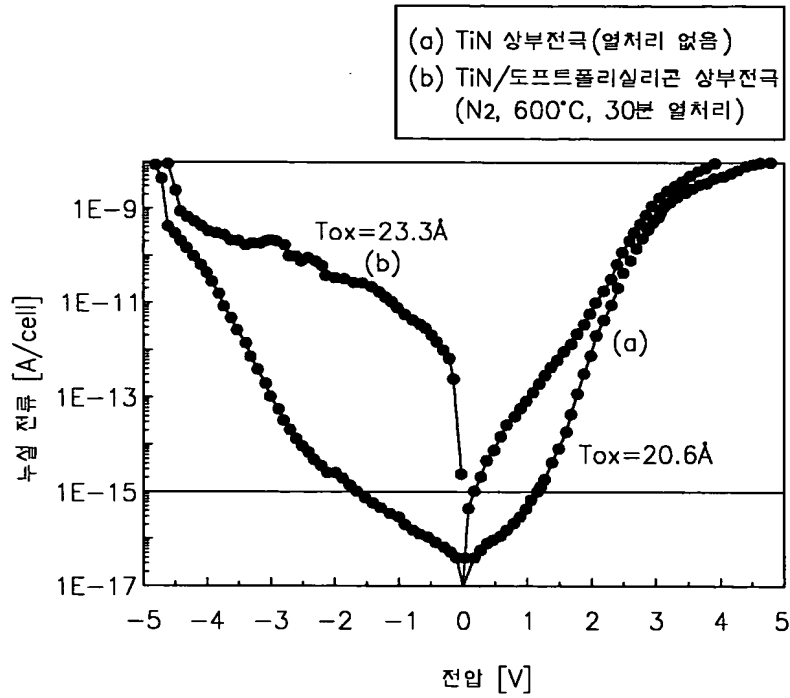


【청구항 35】

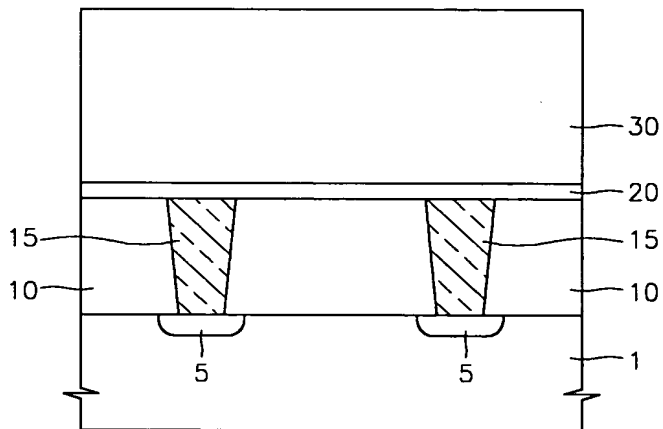
제 28 항에 있어서, 상기 상부전극 중의 상기 금속막은 TiN, WN, TaN, Cu, W, Al, 귀금속, 귀금속 산화물 및 이들의 조합으로 이루어진 군에서 선택된 어느 하나로 형성하는 것을 특징으로 하는 반도체 소자의 커패시터 제조방법.

【도면】

【도 1】



【도 2】

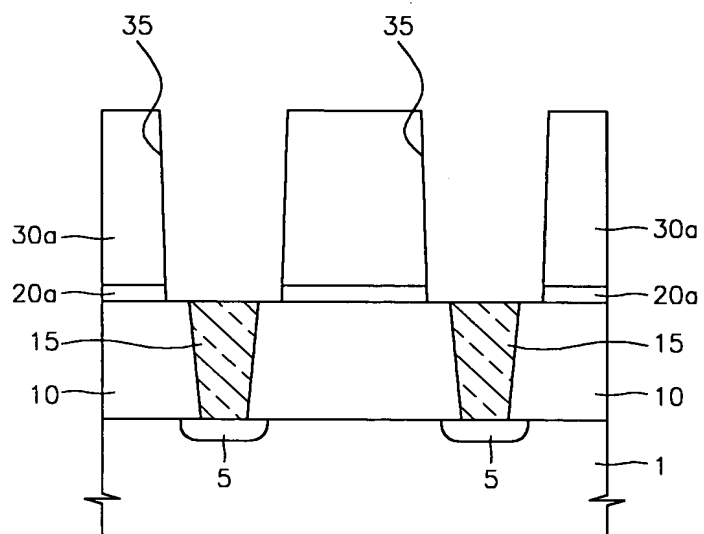




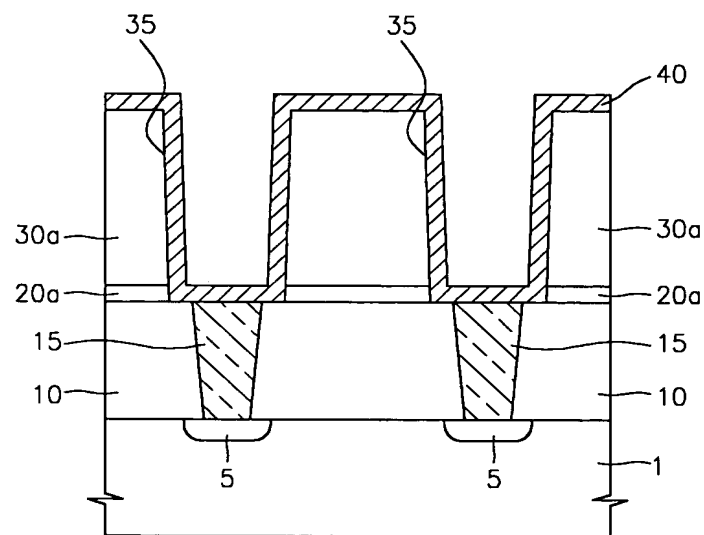
1020030023351

출력 일자: 2003/11/20

【도 3】

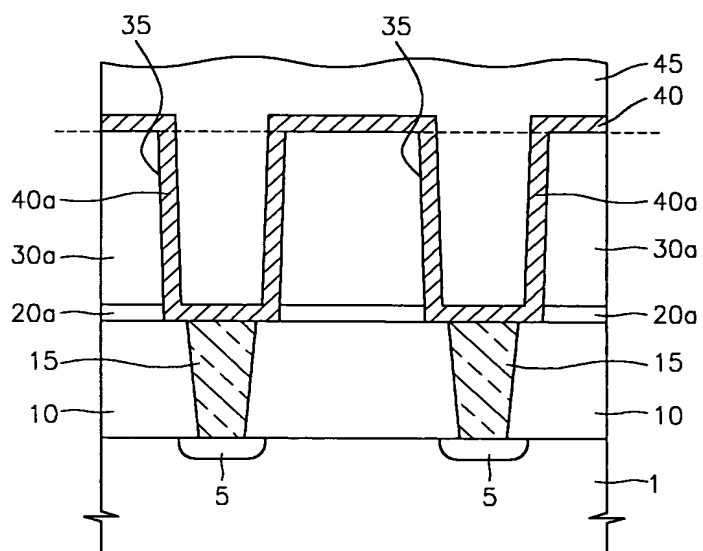


【도 4】

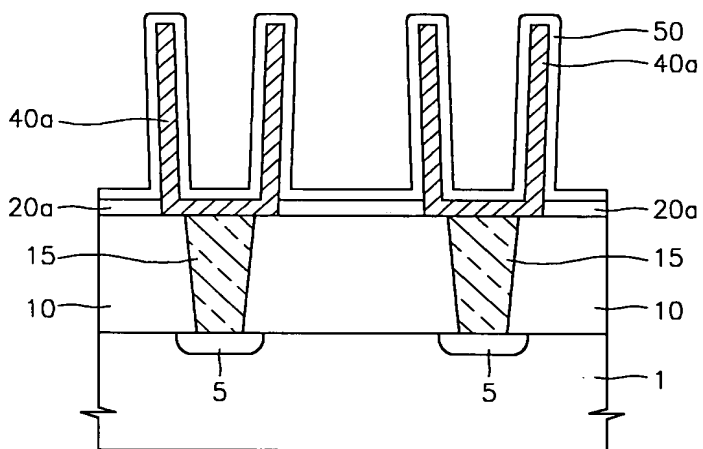




【도 5】



【도 6】

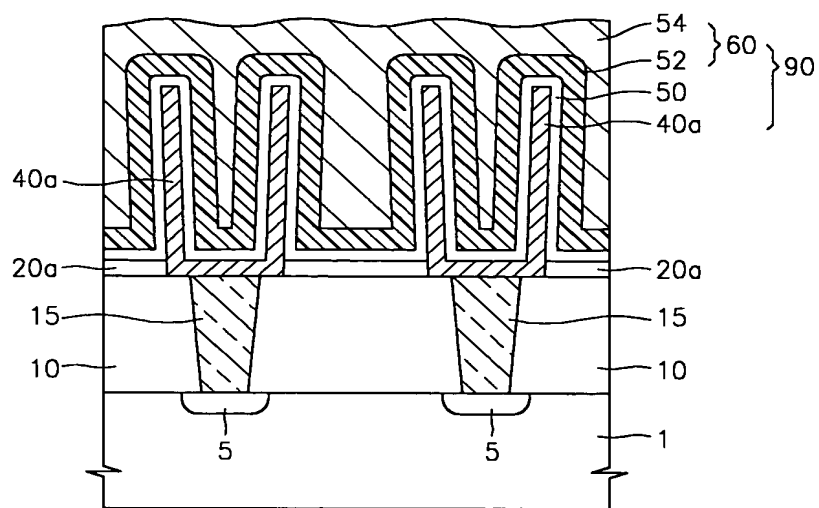




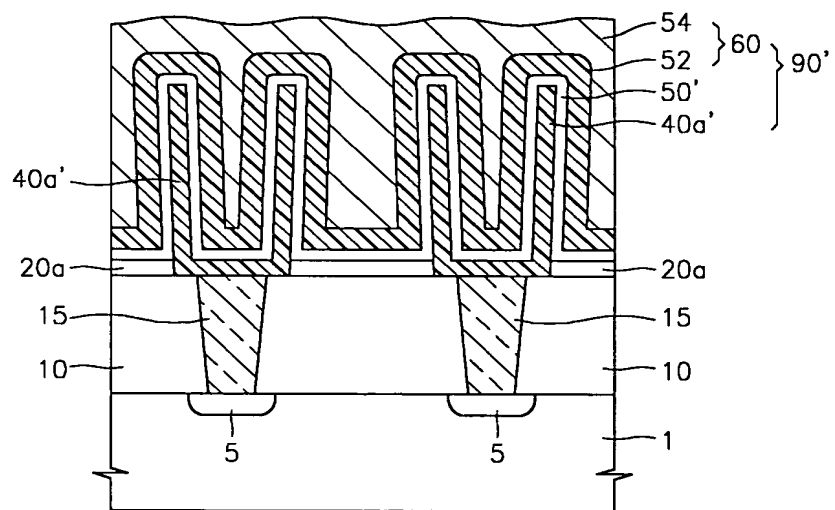
1020030023351

출력 일자: 2003/11/20

【도 7】

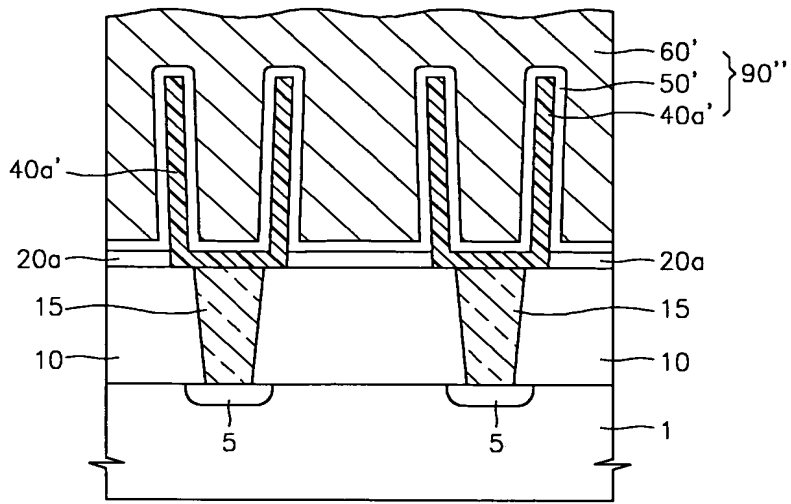


【도 8】

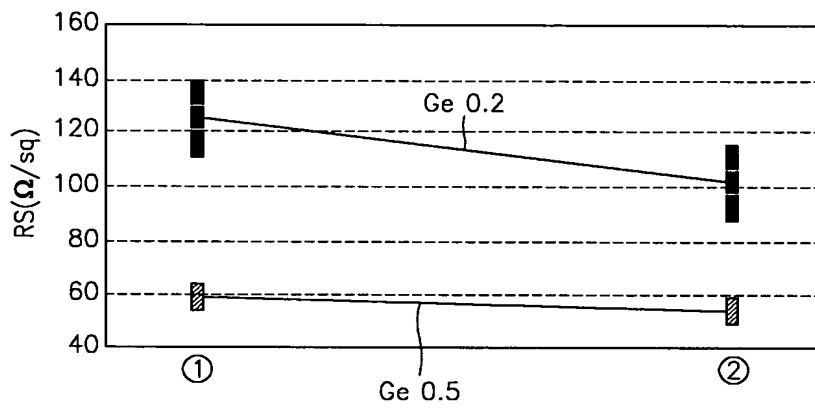




【도 9】



【도 10】



【도 11】

